

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

IHL-HO LEE

Application No.:

Filed:

For: **SYNCHRONOUS SEMICONDUCTOR
MEMORY DEVICE HAVING CLOCK
SYNCHRONIZATION CIRCUIT AND
CIRCUIT FOR CONTROLLING ON/OFF
OF CLOCK TREE OF THE CLOCK
SYNCHRONIZATION CIRCUIT**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2002-66427	30 October 2002

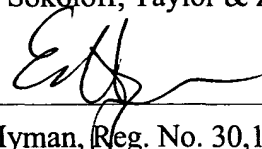
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 7/21/03

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0066427
Application Number PATENT-2002-0066427

출원년월일 : 2002년 10월 30일
Date of Application OCT 30, 2002

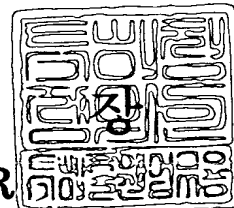
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2002 년 12 월 03 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002. 10. 30
【발명의 명칭】	클럭 동기화 회로를 구비한 동기식 반도체 메모리 장치 및 클럭 동기화 회로의 클럭 트리 온/오프 제어회로
【발명의 영문명칭】	Synchronous semiconductor memory device having clock synchronization circuit and circuit for controlling on/off of clock tree of the clock synchronization circuit
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이일호
【성명의 영문표기】	LEE, IhI Ho
【주민등록번호】	690803-1683822
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 532-4
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	15	항	589,000	원
【합계】	625,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】

【요약】

본 발명은 반도체 회로 기술에 관한 것으로, 특히 동기식 반도체 메모리 장치에 관한 것이며, 더 자세히는 클럭 동기화 회로를 구비한 동기식 반도체 메모리 장치 및 클럭 동기화 회로의 클럭 트리 온/오프 제어회로에 관한 것이다. 본 발명은 스탠바이 모드에서의 전류 소모를 줄일 수 있는 동기식 반도체 메모리 장치를 제공하는데 그 목적이 있다. 또한, 본 발명은 로우어드레스스트로브(RAS) 관련 신호만으로 클럭 동기화 회로의 클럭 트리를 제어할 수 있는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로를 제공하는데 그 목적이 있다. 종래에 스탠바이 모드에서 클럭 동기화 회로에서 출력된 클럭의 트리를 오프시키지 못한 것은 제어의 복잡성에 기인한 것이다. 즉, PLL 클럭 또는 DLL 클럭의 트레이스 온(trace on) 구간을 정의하기 위해서는 로우어드레스스트로브(RAS) 및 컬럼어드레스스트로브(CAS)와 관련된 데이터 출력 정의 신호로 제어해야만 했고, 레이턴시(AL, CL) 및 데이터 길이(BL)에 따라 변화하는 데이터 출력 정의 신호 때문에 회로의 구현이 어려웠던 것이다. 본 발명에서는 로우어드레스스트로브(RAS) 관련 신호만을 이용하여 로우어드레스스트로브(RAS) 동작 후 특정한 클럭 후 - 데이터 출력의 안정성을 확보한 후 - 무조건 클럭 동기화 회로에서 출력된 클럭의 트리를 오프시키는 회로를 제안한다.

【대표도】

도 3

【색인어】

클럭 동기화 회로, 클럭 트리, 라스 아이들 신호, 스탠바이 모드, 래치

【명세서】**【발명의 명칭】**

클럭 동기화 회로를 구비한 동기식 반도체 메모리 장치 및 클럭 동기화 회로의 클럭 트리 온/오프 제어회로{Synchronous semiconductor memory device having clock synchronization circuit and circuit for controlling on/off of clock tree of the clock synchronization circuit}

【도면의 간단한 설명】

도 1은 종래기술에 따른 DDR SDRAM의 동작 파형도.

도 2는 바람직한 DLL 클럭 트리 온/오프 타이밍을 제안한 DDR SDRAM의 동작 파형도.

도 3은 본 발명의 일 실시예에 따른 DLL 클럭 트리 온/오프 제어 회로의 구성도.

도 4는 상기 도 3의 클럭 분주부의 구성을 예시한 회로도.

도 5는 상기 도 4의 클럭 분주부의 동작 파형도.

도 6은 상기 도 3의 DLL 클럭 트리 온/오프 제어 회로의 동작 파형도.

* 도면의 주요 부분에 대한 부호의 설명

30 : 제1 에지 트리거드 펄스 발생부

32 : SR 래치부

34 : 클럭 버퍼링부

36 : 클럭 분주부

38 : 제2 에지 트리거드 펄스 발생부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 반도체 회로 기술에 관한 것으로, 특히 동기식 반도체 메모리 장치에 관한 것이며, 더 자세히는 클럭 동기화 회로를 구비한 동기식 반도체 메모리 장치 및 클럭 동기화 회로의 클럭 트리 온/오프 제어회로에 관한 것이다.
- <14> 통상적으로, 시스템이나 회로에서 클럭은 동작 타이밍을 맞추기 위한 기준 신호로 사용되고 있으며, 에러(error) 없이 보다 빠른 동작을 보장하기 위해서 사용되기도 한다. 외부로부터 입력되는 클럭이 내부에서 사용될 때 내부 회로에 의한 시간 지연(클럭 스큐(clock skew))이 발생하게 되는데, 이러한 시간 지연을 보상하여 내부 클럭이 외부 클럭과 동일한 위상을 갖도록 하기 위해 위상고정루프(phase locked loop, PLL), 지연고정루프(delay locked loop, DLL) 등이 사용되고 있다.
- <15> 한편, 기존에는 PLL이 널리 사용되어 왔으나, PLL에 비해 잡음(noise)의 영향을 덜 받는 DLL의 장점 때문에 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 동기식 반도체 메모리에서는 DLL이 널리 사용되고 있다.
- <16> 대표적인 반도체 메모리인 DRAM의 경우, 고속 동작을 위해 동작 주파수가 높

아짐에 따라 소모 전류의 감소 문제가 이슈로 대두되고 있다. 한편, 최근 DRAM은 컴퓨터의 주기억장치로서의 용도 외에도 휴대용 기기 등에도 적용이 확대되고 있어 전류 소모의 감소는 DRAM 설계시 필연적인 요구 사항이 되고 있다.

<17> PLL, DLL 등의 클럭 동기화 회로가 동기식 반도체 메모리 장치 내부에 채택된 것은 외부 클럭과 데이터를 일치시켜 출력함으로써 데이터의 전송 능력을 좋게 하기 위함이다. 상기와 같은 클럭 동기화 회로에서 출력된 클럭은 독출 데이터 경로에 이용된다. 이러한 클럭 동기화 회로의 출력 클럭이 구동해야 로드는 동기식 반도체 메모리 장치의 정상 동작시에는 큰 부담으로 작용하지 않지만, 스탠바이 모드에서는 큰 부담으로 작용하게 된다. 이는 정상 동작시 전류 스펙이 큰 반면, 스탠바이 모드에서의 전류 스펙이 상대적으로 작기 때문이다.

<18> 따라서, 동기식 반도체 메모리 장치의 스탠바이 모드에서 소모되는 전류를 줄이는 방향으로 많은 연구가 진행되고 있다. 스탠바이 모드에서 소모되는 전류는 동작 주파수에 따라 달라지는데, 동작 주파수가 높아질수록 스탠바이 모드에서 소모되는 전류가 증가하게 된다.

<19> 도 1은 종래기술에 따른 DDR SDRAM의 동작 파형도이다.

<20> 도 1을 참조하면, DDR SDRAM에서 데이터를 출력하기 위해서는 로우 활성화 명령(ACT), 리드 명령(RD), 로우 비활성화 명령(PCG)이 차례로 인가된다. 이때, DLL 클럭은 로우 활성화 명령(ACT)으로부터 마지막 데이터가 출력될 때까지의 전구간에서 토글링하게 된다. 이는 DLL 클럭이 데이터의 출력 경로에 사용되는 클럭이기 때문이며, 클럭인에이블 신호(CKE)가 논리레벨 로우(L)로 디스에이블 되는 구간을 제외한 전구간에서 DLL 트리가 턴온됨을 의미한다.

- <21> 도 1에서는 애디티브 레이턴시(AL)이 '0'이고, CAS 레이턴시(CL)가 '3'이고, 버스트 길이(BL)가 8인 경우를 예시하였다. 참고적으로, 애디티브 레이턴시(AL)는 DDR II에서 적용된 기술로, CAS 레이턴시와 같이 리드 또는 라이트시에 명령이 몇 클럭만에 인식되는지를 정의하는 인덱스이다.
- <22> 통상적으로, 클럭인에이블 신호(CKE)가 논리레벨 로우(L)로 디스에이블 되는 구간을 파워다운 상태라 하며, 클럭인에이블 신호(CKE)가 논리레벨 하이(H)로 인에이블 되는 구간을 비 파워다운 상태라고 한다. 스탠바이 모드는 비 파워다운 상태이면서 DDR SDRAM이 어떠한 동작도 수행하지 않는 상태를 말한다.
- <23> 그러나, 전술한 바와 같이 이러한 스탠바이 모드에서도 DLL 클럭은 계속하여 토글링하기 때문에 불필요한 전류 소모가 유발되는 문제점이 있었다. 이러한 문제는 PLL을 채용하는 경우에도 발생한다.

【발명이 이루고자 하는 기술적 과제】

- <24> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 스탠바이 모드에서의 전류 소모를 줄일 수 있는 동기식 반도체 메모리 장치를 제공하는데 그 목적이 있다.
- <25> 또한, 본 발명은 로우어드레스스트로브(RAS) 관련 신호만으로 클럭 동기화 회로의 클럭 트리를 제어할 수 있는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <26> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 동기식 반도체 메모리 소자에 있어서, 외부 클럭과 데이터의 출력을 동기시키기 위한 클럭 동기화 수단과, 라스(RAS) 아이들 신호에 응답하여 상기 클럭 동기화 수단의 클럭 트리를 온/오프시키되, 로우 비활성화 명령 인가 후 일정 시간 - 레이턴시 및 데이터 길이에 따름 - 동안 라스(RAS) 아이들 신호의 인에이블 시점을 지연시키기 위한 클럭 트리 온/오프 제어 수단을 구비하는 동기식 반도체 메모리 소자가 제공된다.
- <27> 또한, 본 발명의 다른 측면에 따르면, 클럭 동기화 회로의 클럭 트리의 온/오프를 제어하기 위한 회로에 있어서, 라스(RAS) 아이들 신호를 입력 받아 제1 에지 트리거드 펄스를 생성하기 위한 제1 에지 트리거드 펄스 발생 수단; 상기 라스 아이들 신호와 피드백된 클럭 트리 제어신호에 응답하여 외부 클럭과 같은 주기를 가지는 클럭 신호를 버퍼링하기 위한 클럭 버퍼링 수단; 상기 라스 아이들 신호에 응답하여 예정된 상기 클럭 버퍼링 수단의 출력 신호의 클럭 주기만큼의 구간을 정의하기 위한 클럭 주기 설정 수단; 상기 클럭 주기 설정 수단의 출력 신호를 입력 받아 제2 에지 트리거드 펄스를 생성하기 위한 제2 에지 트리거드 펄스 발생 수단; 및 상기 제1 에지 트리거드 펄스 발생 수단의 출력 신호를 셋 신호로 인가 받고 상기 제2 에지 트리거드 펄스 발생 수단의 출력 신호를 리셋 신호로 인가 받는 래칭 수단을 구비하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로가 제공된다.
- <28> 종래에 스탠바이 모드에서 클럭 동기화 회로에서 출력된 클럭의 트리를 오프시키지 못한 것은 제어의 복잡성에 기인한 것이다. 즉, PLL 클럭 또는 DLL 클럭의 트레이스 온(trace on) 구간을 정의하기 위해서는 로우어드레스스트로브(RAS) 및 컬럼어드레스스트

로브(CAS)와 관련된 데이터 출력 정의 신호로 제어해야만 했고, 레이턴시(AL, CL) 및 데이터 길이(BL)에 따라 변화하는 데이터 출력 정의 신호 때문에 회로의 구현이 어려웠던 것이다. 본 발명에서는 로우어드레스스트로브(RAS) 관련 신호만을 이용하여 로우어드레스스트로브(RAS) 동작 후 특정한 클럭 후 - 데이터 출력의 안정성을 확보한 후 - 무조건 클럭 동기화 회로에서 출력된 클럭의 트리를 오프시키는 회로를 제안한다.

<29> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<30> 도 2는 바람직한 DLL 클럭 트리 온/오프 타이밍을 제안한 DDR SDRAM의 동작 파형도이다.

<31> 로우 활성화 명령(ACT), 리드 명령(RD), 로우 비활성화 명령(PCG)이 차례로 인가된 경우, DLL 클럭 트리는 마지막 데이터가 출력될 때까지 턴온되어야 한다. 그런데, DRAM에서의 데이터의 출력에는 많은 조건이 따른다. 이는 AL, CL, BL 등에 따라 데이터 출력 구간이 정의되기 때문이다. 따라서, DLL 클럭 트리는 로우 활성화 명령(ACT)으로부터 다양한 조건에 따라 변화하는 데이터의 마지막 출력까지 턴온되어야 한다. 이를 제어하기 위해서는 로우 활성화 명령(ACT)으로부터 로우 비활성화 명령(PCG) 사이의 구간을 정의할 수 있는 내부 신호인 RAS 아이들 신호(rasidle)와, 마지막 데이터의 출력을 정의할 수 있는 신호가 있으면 된다.

- <32> 그러나, 전술한 바와 같이 두 신호의 조합을 통해 DLL 클럭 트리의 온/오프를 제어하는 방식은 너무나 복잡하기 때문에 실제 회로로 구현하고 적용하는데 많은 어려움이 따른다.
- <33> 따라서, 본 발명에서는 리드 명령(RD) 이후의 로우 비활성화 명령(PCG)을 수행했을 때, 최대로 나올 수 있는 데이터 출력 구간을 타이밍 상으로 계산하여 로우 비활성화 명령(PCG) 후에는 무조건 정의된 클럭수만큼의 시간 이후에 DLL 클럭 트리를 오프시키면 된다는 결론을 얻었다.
- <34> 도 2에 예시된 조건은 $AL=0$, $BL=8$, $CL=3$ 이다. 이 경우, 로우 비활성화 명령(PCG)인가 후 마지막 데이터가 출력될 때까지 소요되는 최대 시간(T_d (RD로부터 PCG까지의 시간)가 최소인 경우 즉, $T_d \min = AL + BL/2$ 인 경우)은 CL값에 의존하게 된다. DDR I 또는 DDR II에서 최대 CAS 레이턴시(CL_{max})를 '5' 정도로 볼 때, 최대 5 클럭주기(t_{CK})까지만 정의하면 마지막 데이터가 출력된 후에 DLL 클럭 트리를 오프시킬 수 있다. 만일, 도 2에 예시된 조건 중 BL이 4로 변경된 경우라면, 마지막 데이터가 출력되는 시점이 $2t_{CK}$ 만큼 앞당겨질 것이다. 그러나, 로우 비활성화 명령(PCG) 또한 $2t_{CK}$ 만큼 앞당겨지거나 혹은 마진이 있도록 그대로 유지되는 경우도 있다. $2t_{CK}$ 만큼 앞당겨지면 앞서 $BL=8$ 의 경우와 마찬가지로 CL값에 의존하여 최대 $5t_{CK}$ 까지의 주기만 보장하면 되고, 로우 비활성화 명령(PCG)이 그대로 라면 마지막 데이터가 출력된 후 $2t_{CK}$ 후에 DLL 클럭 트리가 오프될 것이다. 중요한 점은 데이터의 안정성을 확보하는 것으로서, $Cl_{max}=5t_{ck}$ 까지만 만족하면 된다는 점이다. 소자에 따라서 예컨대, DDR I 제품의 경우는(상기 $5t_{CK}$ 는 DDR II 기준) $Cl_{max}=5t_{ck}$ 이상이 될 수도 있다. $5t_{CK}$ 를 만족 시키기 위해서 본 실시예에서는 16

분주 즉, 로우 비활성화 명령(PCG) 인가 후 8tCK까지 DLL 클럭 트리의 온 상태를 유지하도록 구성한 것이다.

<35> 도 3은 본 발명의 일 실시예에 따른 DLL 클럭 트리 온/오프 제어 회로의 구성도이다.

<36> 도 3을 참조하면, 본 실시예에 따른 DLL 클럭 트리 온/오프 제어 회로는, RAS 아이들 신호(rasidle)를 입력으로 하는 제1 에지 트리거드 펄스 발생부(30)와, RAS 아이들 신호(rasidle)와 최종 출력인 클럭 트리 제어신호(chip_act)에 응답하여 지연된 내부 클럭(clkp4r)을 버퍼링하기 위한 클럭 버퍼링부(34)와, RAS 아이들 신호(rasidle)에 응답하여 클럭 버퍼링부(34)의 출력 신호(clkin)를 분주하기 위한 클럭 분주부(36)와, 클럭 분주부(36)의 출력 신호(여기에서는, 디폴트로 div16)를 입력으로 하는 제2 에지 트리거드 펄스 발생부(38)와, 파워업 신호(perup)를 초기화 신호로, 제1 에지 트리거드 펄스 발생부(30)의 출력 신호(setb)를 셋 신호로, 제2 에지 트리거드 펄스 발생부(38)의 출력 신호(resetb)를 리셋 신호로 인가 받는 SR 래치부(32)를 구비한다.

<37> 한편, 제1 에지 트리거드 펄스 발생부(30)는 RAS 아이들 신호(rasidle)를 소정 시간만큼 반전 및 지연시키기 위한 다수의 인버터(I1, I2, I3)와, 인버터(I3)의 출력 및 RAS 아이들 신호(rasidle)를 입력으로 하는 노아 게이트(NOR1)와, 노아 게이트의 출력을 버퍼링하기 위한 다수의 인버터(I4, I5, I6)를 구비한다.

<38> 그리고, 클럭 버퍼링부(34)는 RAS 아이들 신호(rasidle), 피드백된 클럭 트리 제어 신호(chip_act), 내부 클럭(clkp4r)을 입력으로 하는 낸드 게이트(NAND1)와, 낸드 게이트(NAND1)의 출력을 버퍼링하기 위한 다수의 인버터(I7, I8, I9)를 구비한다.

- <39> 또한, 제2 에지 트리거드 펄스 발생부(38)는 클럭 분주부(36)의 출력 신호(div16)를 소정 시간만큼 반전 및 지연시키기 위한 다수의 인버터(I10, I11, I12)와, 인버터(I12)의 출력 및 클럭 분주부(36)의 출력 신호(div16)를 입력으로 하는 낸드 게이트(NAND2)를 구비한다.
- <40> 그리고, SR 래치부(32)는 제1 에지 트리거드 펄스 발생부(30)의 출력 신호(setb)를 일입력으로 하는 2-입력 낸드 게이트(NAND3)와, 파워업 신호(perup) 및 제2 에지 트리거드 펄스 발생부(38)의 출력 신호(resetb)를 입력으로 하는 3-입력 낸드 게이트(NAND4)를 구비한다. 여기서, 2개의 낸드게이트(NAND3, NADN4) 각각의 나머지 입력단은 다른 낸드 게이트의 출력단에 크로스 접속되어 있다.
- <41> 도 4는 상기 도 3의 클럭 분주부(36)의 구성을 예시한 회로도이다.
- <42> 도 4를 참조하면, 클럭 분주부(36)는 RAS 아이들 신호(rasidle)를 리셋단으로 입력 받고, 클럭 버퍼링부(34)의 출력 신호(clkin)를 클럭단으로 입력 받고, 그 자신의 출력(Q)의 반전 신호를 데이터 입력단(D)으로 입력 받는 제1 플립플롭(ff1)과, RAS 아이들 신호(rasidle)를 리셋단으로 입력 받고, 제1 플립플롭(ff1)의 출력(Q)을 클럭단으로 입력 받고, 그 자신의 출력(Q)의 반전 신호를 데이터 입력단(D)으로 입력 받는 제2 플립플롭(ff2)과, 제2 플립플롭(ff2)과 같은 방식으로 연결된 제3, 제4, 제5 플립플롭(ff3, ff4, ff5)을 구비한다. 제1 내지 제5 플립플롭은 각각 div2, div4, div8, div16, div32를 출력한다.
- <43> 도 5는 상기 도 4의 클럭 분주부(36)의 동작 파형도로서, 이를 참조하여 클럭 분주부(36)의 동작을 간략히 살펴본다.

- <44> 우선, 로우 비활성화 명령(PCG)에 따라 RAS 아이들 신호(rasidle)가 인에이블되어 클럭 버퍼링부(34)의 출력 신호(clkin)가 토글링하게 된다. 이때, 모든 플립플롭의 출력은 RAS 아이들 신호(rasidle)에 의해 논리레벨 로우로 초기화되며, 이후 클럭 버퍼링부(34)의 출력 신호(clkin)의 폴링 에지를 받아서 제1 플립플롭(ff1)의 출력(Q)이 논리레벨 하이로 천이되었다가 1 클럭 주기(1tCK) 후에 돌아오는 다음 폴링 에지를 받아서 인버터를 통해 논리레벨 로우로 반전된 출력(Q)을 제공하게 된다. 즉, 제1 플립플롭은 클럭(clkin)을 1/2 분주한 신호(div2)를 출력하게 된다.
- <45> 한편, 제2 내지 제5 플립플롭(ff2~ff5)은 각각 전단의 플립플롭의 출력을 클럭단으로 입력 받기 때문에 출력 주기는 계속해서 2배로 증가하게 된다.
- <46> 도 6은 상기 도 3의 DLL 클럭 트리 온/오프 제어 회로의 동작 파형도이다.
- <47> 도 6을 참조하면, 우선 파워업 신호(pwrup)가 논리레벨 로우에서 하이로 천이함에 따라 SR 래치부(32)가 초기화되어 클럭 트리 제어신호(chip_act)는 논리레벨 로우가 된다.
- <48> 다음으로, 로우 활성화 명령(ACT)에 의해 RAS 아이들 신호(rasidle)가 논리레벨 하에서 로우로 천이하면, 제1 에지 트리거드 펄스 발생부(30)는 RAS 아이들 신호(rasidle)의 폴링 에지를 받아서 로우로 펄싱하는 짧은 펄스(setb)를 출력하고, 이에 따라 SR 래치부(32)가 셋되어 클럭 트리 제어신호(chip_act)는 논리레벨 하이로 인에이블된다.
- <49> 이어서, 리드 명령(RD)이 인가되면 CAS 레이턴시(CL)에 따라 데이터가 출력되기 시작한다.

- <50> 계속하여, 로우 비활성화 명령(PCG)이 인가되면, RAS 아이들 신호(rasidle)가 논리레벨 하이로 인에이블 되는데, 이때부터 지연된 내부 클럭(clkp4r)이 클럭버퍼링부(34)로 입력되어 클럭 버퍼링부(34)의 출력(clkin)이 토글링하게 된다.
- <51> 한편, 클럭 분주부(36)는 클럭 버퍼링부(34)의 출력(clkin)을 입력 받아서 정해진 분주율(여기에서는 디폴트 1/16)에 따라 분주된 클럭을 생성한다. 1/16 분주된 클럭(div16)은 8tCK의 로우 구간과 8tCK의 하이 구간을 1 주기로 하는 신호로서, 제2 에지 트리거드 펄스 발생부(38)는 1/16 분주된 클럭(div16)의 라이징 에지를 받아서 로우로 펄싱하는 짧은 펄스(resetb)를 출력하고, 이에 따라 SR 래치부(32)가 리셋되어 클럭 트리 제어신호(chip_act)는 논리레벨 로우로 디스에이블 되어 DLL 클럭 트리를 오프시키게 된다. 예컨대, 클럭 트리 제어신호(chip_act)를 DLL의 DLL 클럭 드라이버의 인에이블 신호로 사용하면 클럭 트리 제어신호(chip_act)가 로우로 디스에이블 된 경우에는 DLL 클럭 드라이버가 디스에이블 되어 DLL 클럭이 더 이상 토글링하지 않게 된다.
- <52> 이후, RAS 아이들 신호(rasidle)가 논리레벨 로우로 디스에이블 되면 클럭 트리 제어신호(chip_act)가 논리레벨 하이가 되어 DLL 클럭 트리가 다시 온된다.
- <53> 한편, 긴 RAS 아이들 구간(예컨대, RAS 아이들 구간이 8tck 이상인 경우)에는 전술한 바와 같이 DLL 클럭 트리 오프 구간을 정의하지만, 짧은 RAS 아이들 구간(예컨대, RAS 아이들 구간이 8tck 보다 짧은 경우)에는 데이터의 안정된 출력을 고려하여 DLL 클럭 트리 오프 구간을 정의하지 않는 것이 바람직하다.
- <54> 전술한 바와 같이 본 실시예에 따르면 로우 비활성화 명령(PCG)의 인가에 따라 RAS 아이들 신호(rasidle)가 논리레벨 하이로 인에이블 되더라도 클럭 분주부(36)에 의해 확보된 구간 동안 마지막 데이터까지 안정적으로 출력될 수 있다. 이러한 마진 - RAS 아이

들 신호(rasidle)가 논리레벨 하이로 인에이블 된 후 몇 tCK 만큼 DLL 클럭 트리의 온 상태를 유지할 것인지 - 은 AL, CL, BL 값에 따라 달라지므로, 각각의 AL, CL, BL 값에 따라 미리 클럭 분주부(36)의 분주율을 옵션으로 조절하면 된다.

<55> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

<56> 예컨대, 전술한 실시예에서는 RAS 아이들 신호(rasidle)가 논리레벨 하이로 인에이블 된 후 마지막 데이터가 출력될 때까지의 마진을 확보하기 위하여 클럭 분주기(도 4 참조)를 사용하는 경우를 일례로 들어 설명하였으나, 플립플롭을 이용하여 1, 2, 3, 4, 5 ... tCK 만큼 DLL 클럭 트리의 오프 구간을 정의하거나, 카운터 로직을 이용하여 DLL 클럭 트리의 오프 구간을 정의하는 경우에도 본 발명은 적용된다.

<57> 또한, 전술한 실시예에서는 DLL 클럭 트리를 온/오프하는 경우를 일례로 들어 설명하였으나, PLL 클럭 트리를 온/오프하는 경우에도 본 발명은 적용된다.

【발명의 효과】

<58> 전술한 본 발명은 스탠바이 모드에서 DLL 클럭 트리를 오프시킴으로써 스탠바이 모드에서의 전류 소모를 획기적으로 줄일 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

동기식 반도체 메모리 소자에 있어서,

외부 클럭과 데이터의 출력을 동기시키기 위한 클럭 동기화 수단과,

라스(RAS) 아이들 신호에 응답하여 상기 클럭 동기화 수단의 클럭 트리를 온/오프 시키되, 로우 비활성화 명령 인가 후 일정 시간 - 레이턴시 및 데이터 길이에 따름 - 동안 라스(RAS) 아이들 신호의 인에이블 시점을 지연시키기 위한 클럭 트리 온/오프 제어 수단

을 구비하는 동기식 반도체 메모리 소자.

【청구항 2】

제1항에 있어서,

상기 클럭 동기화 수단은 지연동기루프를 포함하는 것을 특징으로 하는 동기식 반도체 메모리 소자.

【청구항 3】

제1항에 있어서,

상기 클럭 동기화 수단은 위상동기루프를 포함하는 것을 특징으로 하는 동기식 반도체 메모리 소자.

【청구항 4】

클럭 동기화 회로의 클럭 트리의 온/오프를 제어하기 위한 회로에 있어서,

라스 (RAS) 아이들 신호를 입력 받아 제1 에지 트리거드 펄스를 생성하기 위한 제1 에지 트리거드 펄스 발생 수단;

상기 라스 아이들 신호와 피드백된 클럭 트리 제어신호에 응답하여 외부 클럭과 같은 주기를 가지는 클럭 신호를 버퍼링하기 위한 클럭 버퍼링 수단;

상기 라스 아이들 신호에 응답하여 예정된 상기 클럭 버퍼링 수단의 출력 신호의 클럭 주기만큼의 구간을 정의하기 위한 클럭 주기 설정 수단;

상기 클럭 주기 설정 수단의 출력 신호를 입력 받아 제2 에지 트리거드 펄스를 생성하기 위한 제2 에지 트리거드 펄스 발생 수단; 및

상기 제1 에지 트리거드 펄스 발생 수단의 출력 신호를 셋 신호로 인가 받고 상기 제2 에지 트리거드 펄스 발생 수단의 출력 신호를 리셋 신호로 인가 받는 래칭 수단

을 구비하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로.

【청구항 5】

제4항에 있어서,

상기 클럭 주기 설정 수단은 클럭 분주기를 포함하는 것을 특징으로 하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로.

【청구항 6】

제4항에 있어서,

상기 클럭 주기 설정 수단은 다단의 플립플롭을 포함하는 것을 특징으로 하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로.

【청구항 7】

제4항에 있어서,

상기 클럭 주기 설정 수단은 카운터를 포함하는 것을 특징으로 하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로.

【청구항 8】

제5항에 있어서,

상기 클럭 분주기는,

상기 라스 아이들 신호를 리셋단으로 입력 받고, 그 자신의 출력의 반전 신호를 데이터 입력단으로 입력 받는 다수의 플립플롭을 포함하며,

첫 단의 플립플롭은 상기 제1 플립플롭의 출력을 클럭단으로 입력 받고, 나머지 플립플롭은 전 단의 플립플롭의 출력을 클럭단으로 입력 받는 것을 특징으로 하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로.

【청구항 9】

제4항에 있어서,

상기 제1 에지 트리거드 펄스 발생 수단은,

상기 라스 아이들 신호의 인에이블 에지를 트리거링하여 상기 제1 에지 트리거드 펄스를 생성하는 것을 특징으로 하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로.

【청구항 10】

제4항에 있어서,

상기 클럭 버퍼링 수단은,

상기 라스 아이들 신호, 피드백된 클럭 트리 제어신호, 상기 외부 클럭과 같은 주기를 가지는 클럭 신호를 입력으로 하는 낸드 게이트와,

상기 낸드 게이트의 출력을 버퍼링하기 위한 다수의 인버터를 구비하는 것을 특징으로 하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로.

【청구항 11】

제4항에 있어서,

상기 래칭 수단은,

파워업 신호에 의해 초기화되는 것을 특징으로 하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로.

【청구항 12】

제11항에 있어서,

상기 래칭 수단은,

상기 크로스 커플드 낸드 래치를 포함하는 것을 특징으로 하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로.

【청구항 13】

제12항에 있어서,

상기 크로스 커플드 낸드 래치는 제1 및 제2 낸드 게이트를 구비하며,

상기 제1 낸드 게이트는 상기 제1 에지 트리거드 펄스 발생 수단의 출력과 상기 제2 낸드 게이트의 출력을 입력으로 하고,

상기 제2 낸드 게이트는 상기 파워업 신호, 상기 제2 에지 트리거드 펄스 발생 수단의 출력, 상기 제1 낸드 게이트의 출력을 입력으로 하는 것을 특징으로 하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로.

【청구항 14】

제4항에 있어서,

상기 클럭 동기화 회로는 지연동기루프를 포함하는 것을 특징으로 하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로.

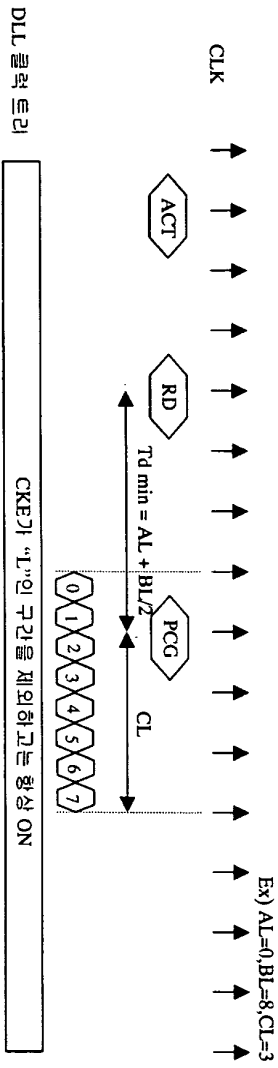
【청구항 15】

제4항에 있어서,

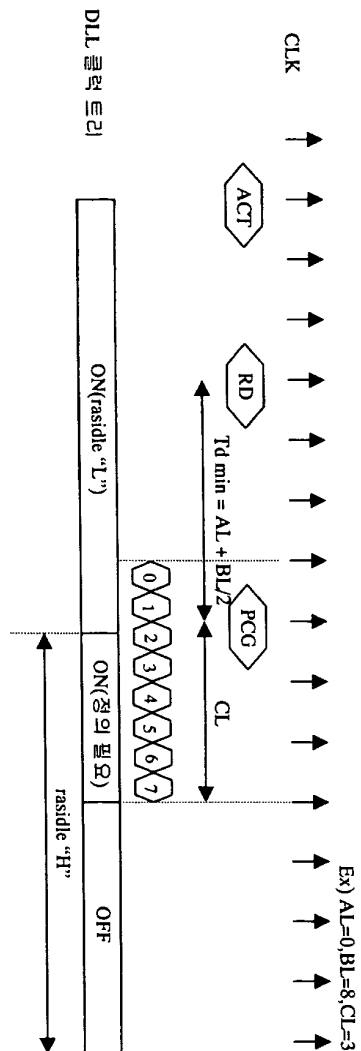
상기 클럭 동기화 회로는 위상동기루프를 포함하는 것을 특징으로 하는 클럭 동기화 회로의 클럭 트리 온/오프 제어회로.

【도면】

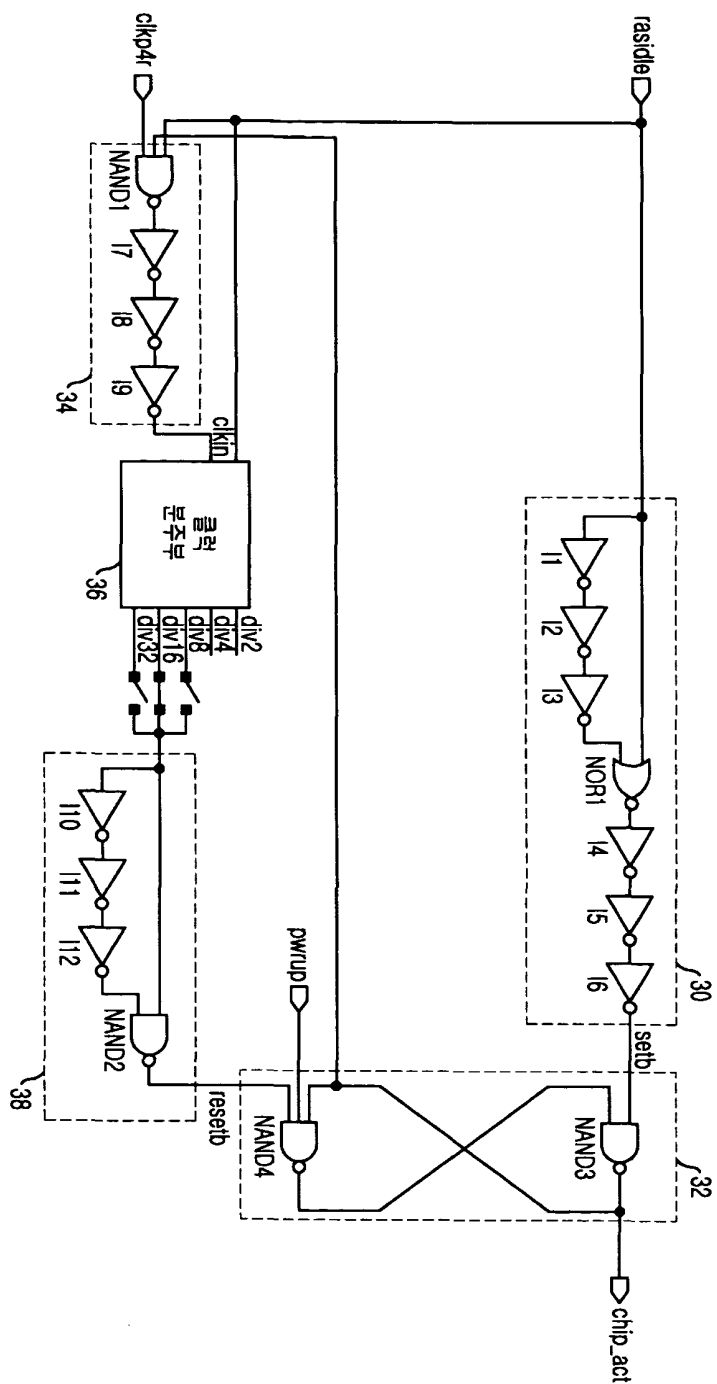
【내 1】



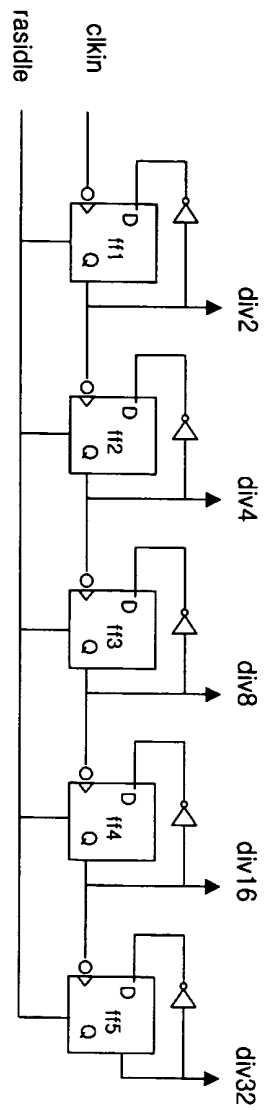
【도 2】



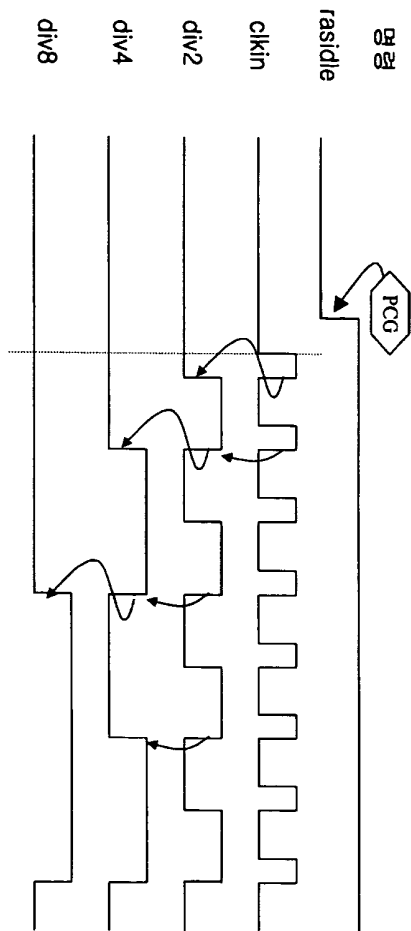
【도 3】



【图 4】



【도 5】



【도 6】

